

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6343082号
(P6343082)

(45) 発行日 平成30年6月13日 (2018. 6. 13)

(24) 登録日 平成30年5月25日 (2018. 5. 25)

(51) Int. Cl.	F I		
G09G 3/32 (2016.01)	G09G	3/32	A
G09F 9/33 (2006.01)	G09F	9/33	
G09G 3/20 (2006.01)	G09G	3/20	6 2 1 M
H01L 33/00 (2010.01)	G09G	3/20	6 8 0 G
	G09G	3/20	6 8 0 H
請求項の数 10 (全 23 頁) 最終頁に続く			

(21) 出願番号 特願2017-194601 (P2017-194601)
 (22) 出願日 平成29年10月4日 (2017. 10. 4)
 審査請求日 平成29年10月4日 (2017. 10. 4)
 (31) 優先権主張番号 10-2017-0052792
 (32) 優先日 平成29年4月25日 (2017. 4. 25)
 (33) 優先権主張国 韓国 (KR)

早期審査対象出願

(73) 特許権者 514121240
 ルーメンズ カンパニー リミテッド
 大韓民国 449-901 キョンギ道
 ヨンイン市 キヘン区 ウォンゴメーロ
 1 2
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 シン, ウンソン
 大韓民国 17086 京畿道 龍仁市
 器興区 ウォンゴメーロ 1 2
 (72) 発明者 チョ, ドンヒー
 大韓民国 17086 京畿道 龍仁市
 器興区 ウォンゴメーロ 1 2

最終頁に続く

(54) 【発明の名称】 マイクロLEDディスプレイ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

マイクロLEDディスプレイ装置であって、
 複数のマイクロLEDピクセルが行と列に配列された平面視で矩形形状のマイクロLED
 パネル、及び

前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM (Active Matrix、アクティブマトリクス) 回路部と、前記AM回路部の外郭に配置される制御回路部とを含むマイクロLED駆動基板 (backplane) を含み、

前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置され、

前記複数のマイクロLEDピクセルの共通電極として機能し、前記マイクロLEDパネルの外郭に沿って形成される第1導電型メタル層をさらに含み、

前記制御回路部の配置に応じた前記マイクロLEDパネルの2辺に位置する前記第1導電型メタル層を用いることを特徴とするマイクロLEDディスプレイ装置。

【請求項 2】

前記複数のマイクロLEDピクセルと前記複数のCMOSセルとを電気的に接続するバンプをさらに含むことを特徴とする、請求項1に記載のマイクロLEDディスプレイ装置。

【請求項 3】

前記マイクロLEDパネルは、前記マイクロLED駆動基板上にフリップチップボンデ

ィング (flip chip bonding) によって結合されることを特徴とする、請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 4】

前記複数のマイクロ LED ピクセルは、基板上に第 1 導電型半導体層、活性層及び第 2 導電型半導体層を順次成長させた後にエッチングして形成され、前記複数のマイクロ LED ピクセルの垂直構造は、第 1 導電型半導体層、活性層及び第 2 導電型半導体層を順に含み、前記複数のマイクロ LED ピクセルが形成されていない部分は、活性層及び第 2 導電型半導体層が除去されて第 1 導電型半導体層が露出されることを特徴とする、請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 5】

前記複数のマイクロ LED ピクセルが形成されていない部分の第 1 導電型半導体層上には、前記複数のマイクロ LED ピクセルから離隔するように前記第 1 導電型メタル層が形成されることを特徴とする、請求項 4 に記載のマイクロ LED ディスプレイ装置。

【請求項 6】

前記第 1 導電型メタル層は、前記第 1 導電型半導体層上で前記マイクロ LED パネルの外郭に沿って形成されることを特徴とする、請求項 5 に記載のマイクロ LED ディスプレイ装置。

【請求項 7】

前記マイクロ LED 駆動基板は、前記第 1 導電型メタル層に対応するように形成された共通セルを含み、前記第 1 導電型メタル層と前記共通セルはバンブによって電氣的に接続されることを特徴とする、請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 8】

前記第 1 導電型は n 型であり、前記第 2 導電型は p 型であることを特徴とする、請求項 4 に記載のマイクロ LED ディスプレイ装置。

【請求項 9】

前記バンブは、前記複数の CMOS セルの各々に形成され、加熱によって溶解することによって、前記複数の CMOS セルの各々と前記複数の CMOS セルの各々に対応するマイクロ LED ピクセルとが電氣的に接続されることを特徴とする、請求項 2 に記載のマイクロ LED ディスプレイ装置。

【請求項 10】

前記制御回路部は、スキャン駆動部、第 1 データ駆動部、第 2 データ駆動部、ガンマ電圧生成部、タイミング制御部、スキャン信号検知パッド部、データ出力検知パッド部及び入力パッド部のうち少なくとも一つを含むことを特徴とする、請求項 1 に記載のマイクロ LED ディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロ LED ディスプレイ装置及びその製造方法に関し、より具体的には、様々な大きさのディスプレイを実現できるマイクロ LED ディスプレイ装置及びその製造方法に関する。

【背景技術】

【0002】

発光素子 (LIGHT EMITTING DEVICE、LED) は電気エネルギーを光エネルギーに変換する半導体素子の一種である。発光素子は、蛍光灯、白熱灯等の既存の光源に比べて低消費電力、半永久的な寿命、迅速な応答速度、安全性、環境親和性の長所を有する。

【0003】

そこで、既存の光源を発光素子に代替するための多くの研究が行われており、室内外で用いられる各種ランプ、液晶表示装置、電光掲示板、街灯等の照明装置の光源として発光素子を用いる場合が増加している。

10

20

30

40

50

【0004】

最近、LED産業では既存の伝統的な照明の範囲を越えて様々な産業にLEDを適用するための新しい試みがなされており、特に低電力駆動フレキシブルディスプレイ、人体モニタリングのための付着型情報表示素子、生体反応及びDNAセンシング、光遺伝学的な有効検証のためのバイオ融合分野、導電性繊維とLED光源が結合したPhotonic s Textile分野等において研究が活発に行われている。

【0005】

一般にLEDチップを数～数十マイクロレベルに小さく製作すれば、無機物材料の特性上、曲がる時に壊れる短所を克服でき、フレキシブル基板にLEDチップを転写することによって柔軟性(flexibility)を付与して、前述したフレキシブルディスプレイのみならず、ウェアラブル機器及び人体挿入用医療機器まで様々な応用分野に広範囲に適用できる。但し、上述した応用分野にLED光源が適用されるためには薄く且つ柔軟なマイクロレベルの光源の開発が必須であり、LEDに柔軟性を付与するためには、互いに分離した、例えば薄膜GaN層からなるLEDチップを個別又は所望の配列でフレキシブル基板に転写する工程が求められる。

10

【0006】

一方、従来のマイクロLED技術は、半導体工程によりLEDピクセル単位を数マイクロ大きさに製作するのに成功した反面、ウェハー(wafer)大きさの限界により、マイクロLEDモジュールの大きさが制限されるという問題点がある。また、約1.2インチ以上のディスプレイを要求する製品の場合、別途の光学モジュールを必要とし、これは、ディスプレイモジュールの大きさを増加させるだけでなく、光効率を低下させる問題点を引き起こす。よって、様々な大きさのディスプレイを実現できるマイクロLEDモジュールを開発する必要がある。

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、前述した問題及び他の問題を解決することにある。特に第1の目的は、CMOSバックプレーン(backplane)の構造を変更して様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法を提供することにある。

30

【0008】

また他の目的は、マイクロLEDパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

上記又は他の目的を達成するために、本発明の一側面によれば、複数のマイクロLEDピクセルが行と列に配列された平面視で矩形のマイクロLEDパネル、及び前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM(Active Matrix、アクティブマトリクス)回路部と、前記AM回路部の外郭に配置される制御回路部とを含むマイクロLED駆動基板(backplane)を含み、前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置され、前記複数のマイクロLEDピクセルの共通電極として機能し、前記マイクロLEDパネルの外郭に沿って形成される第1導電型メタル層をさらに含み、前記制御回路部の配置に応じた前記マイクロLEDパネルの2辺に位置する前記第1導電型メタル層を用いることを特徴とするマイクロLEDディスプレイ装置が提供される。

40

【発明の効果】

【0010】

50

本発明の実施形態によるマイクロLEDディスプレイ装置及びその製造方法の効果について説明すれば以下のとおりである。

【0011】

本発明の実施形態のうち少なくとも一つによれば、マイクロLEDディスプレイ装置に用いられるCMOSバックプレーンの構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

【0012】

また、本発明の実施形態のうち少なくとも一つによれば、マイクロLEDディスプレイ装置に用いられるマイクロLEDパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

10

【0013】

なお、本発明の実施形態のうち少なくとも一つによれば、第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置の方向転換及び組み合わせによって様々な大きさのディスプレイを実現できるという長所がある。

【0014】

但し、本発明の実施形態によるマイクロLEDディスプレイ装置及びその製造方法が達成できる効果は以上で言及したものに制限されず、言及していないまた他の効果は下記の記載によって本発明が属する技術分野で通常の知識を有する者に明らかに理解できるものである。

【図面の簡単な説明】

20

【0015】

【図1】本発明の一実施形態によるマイクロLEDパネルの断面図である。

【図2】本発明の一実施形態によるマイクロLEDパネルの平面図である。

【図3】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図4】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図5】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図6】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

30

。

【図7】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図8】本発明の他の実施形態によるマイクロLEDパネルの断面図である。

【図9】本発明の他の実施形態によるマイクロLEDパネルの平面図である。

【図10】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図11】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図12】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

40

【図13】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図14】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図15】マイクロLEDディスプレイ装置に用いられる一般的なCMOSバックプレーンの構造を説明する図である。

【図16】本発明の一実施形態によるCMOSバックプレーンの構造を説明する図である。

。

【図17】本発明の他の実施形態によるCMOSバックプレーンの構造を説明する図であ

50

る。

【図18】本発明の一実施形態によるマイクロLEDディスプレイ装置を説明する図である。

【図19】本発明の他の実施形態によるマイクロLEDディスプレイ装置を説明する図である。

【図20】ディスプレイ大きさを水平方向に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

【図21】ディスプレイ大きさを垂直方向に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

【図22】ディスプレイ大きさを4倍に拡張したマイクロLEDディスプレイ装置を説明する図である。

10

【発明を実施するための形態】

【0016】

以下、添付図面を参照して本明細書に開示された実施形態を詳細に説明するが、図面符号に関わらず同一又は類似の構成要素には同一の参照番号を付け、これに対する重複する説明は省略することにする。以下の説明で用いられる構成要素に対する接尾辞「モジュール」及び「部」は明細書の作成の容易さだけが考慮されて付与又は使用されるものであって、そのもので互いに区別される意味又は役割を有するものではない。即ち、本発明で用いられる「部」という用語はソフトウェア、FPGA、又はASICなどのハードウェア構成要素を意味し、「部」はある役割を行う。しかし、「部」はソフトウェア又はハードウェアに限定される構成要素ではない。「部」はアドレッシングできる格納媒体にあるように構成されてもよく、一つ又はそれ以上のプロセッサを再生させるように構成されてもよい。よって、一例として、「部」はソフトウェア構成要素、オブジェクト指向ソフトウェア構成要素、クラス構成要素及びタスク構成要素のような構成要素と、プロセス、関数、属性、プロシージャ、サブルーチン、プログラムコードのセグメント、ドライバ、ファームウェア、マイクロコード、回路、データ、データベース、データ構造、テーブル、アレイ、及び変数を含む。構成要素としての「部」により提供される機能は結合されて、さらに小さい数の構成要素としての「部」を形成するか、又は追加の構成要素としての「部」にさらに分割され得る。

20

【0017】

また、本発明による実施形態を説明する際、各層(膜)、領域、パターン又は構造物が、基板、各層(膜)、領域、パッド又はパターンの「上方/上(above、over)」に又は「下方/下(below、under)」に形成されると記載される場合、「上方/上」と「下方/下」は「直接(directly)」又は「他の層を介在して(indirectly)」形成されることを全て含む。また、各層の上部/上又は下部/下に対する基準は図面を基準に説明する。図面での各層の厚さや大きさは説明の便宜及び明確性のために誇張又は省略されるか又は概略的に図示されている。また、各構成要素の図上の大きさは実際の大きさを全面的に反映するものではない。

30

【0018】

なお、本明細書に開示された実施形態を説明する際、関連の公知技術に関する具体的な説明が本明細書に開示された実施形態の要旨を不要に濁す恐れがあると判断される場合には、その詳細な説明は省略する。また、添付された図面は本明細書に開示された実施形態を容易に理解できるようにするためのものに過ぎず、添付された図面によって本明細書に開示された技術的思想が制限されるものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物乃至代替物を含むものとして理解しなければならない。

40

【0019】

本発明は、CMOSバックプレーン(backplane)の構造を変更して様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法を提案する。以下、本実施形態に係るマイクロLEDディスプレイ装置においては、複数のマイクロLEDピクセルを含むマイクロLEDパネルと、前記複数のマイクロLEDピクセル

50

ルを独立に駆動するための複数のCMOSセルを含むCMOSバックプレーンとがバンプ（bump）を介してフリップチップボンディングされて形成される。

【0020】

以下では、本発明の様々な実施形態について図面を参照して詳細に説明する。

図1は本発明の一実施形態によるマイクロLEDパネル100の断面図であり、図2は本発明の一実施形態によるマイクロLEDパネル100の平面図である。

【0021】

図1及び図2を参照すれば、本発明に係るマイクロLEDパネル（又はマイクロLEDアレイ）100は、ウェハー上に積層された複数の発光素子（即ち、複数のマイクロLEDピクセル）がマトリクス状に配列されたアレイ（array）構造を有するLEDパネルであって、画像表示機器の画像信号に対応する光（light）を出力する機能を果たす。この時、前記複数のマイクロLEDピクセルはウェハー上に行と列に配列され、各々のピクセルは数 μm の大きさを有する。

10

【0022】

このようなマイクロLEDパネル100は、成長基板110、成長基板110上の第1導電型半導体層120、第1導電型半導体層120上の活性層130、活性層130上の第2導電型半導体層140、第1導電型半導体層120上の第1導電型メタル層160、第2導電型半導体層140上の第2導電型メタル層150、及びパッシベーション層170を含む。

【0023】

成長基板110は、透光性を有する材質、例えば、サファイア（ Al_2O_3 ）、単結晶基板、SiC、GaAs、GaN、ZnO、AlN、Si、GaP、InP、Geのうち少なくとも一つからなるが、これらに限定されない。

20

【0024】

第1導電型半導体層120は、n型ドーパントがドーブされたIII族-V族元素の化合物半導体を含み得る。このような第1導電型半導体層120は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料、具体的には、InAlGaN、GaN、AlGaN、AlInN、InGaN、AlN、InN等から選択され、Si、Ge、Sn等のn型ドーパントがドーブされる。

【0025】

活性層130は、第1導電型半導体層120を介して注入される電子（又は正孔）と第2導電型半導体層140を介して注入される正孔（又は電子）が結合して、活性層130の形成物質に応じたエネルギーバンド（Energy Band）のバンドギャップ（Band Gap）差によって光を放出する層である。活性層130は単一量子井戸構造、多重量子井戸構造（MQW：Multi Quantum Well）、量子ドット構造又は量子線構造の何れか一つにより形成できるが、これらに限定されない。活性層130は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料からなり得る。活性層130が多重量子井戸構造により形成された場合、活性層130は複数の井戸層と複数の障壁層が交互に積層されて形成される。

30

【0026】

第2導電型半導体層140は、p型ドーパントがドーブされたIII族-V族元素の化合物半導体を含み得る。このような第2導電型半導体層140は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料、具体的には、InAlGaN、GaN、AlGaN、InGaN、AlInN、AlN、InN等から選択され、Mg、Zn、Ca、Sr、Ba等のp型ドーパントがドーブされる。

40

【0027】

第2導電型半導体層140上には第2導電型メタル層（即ち、p電極）150が形成され、第1導電型半導体層120上には第1導電型メタル層（即ち、n電極）160が形成される。

50

【0028】

例えば、図2に示すように、第2導電型メタル層150は、各々のマイクロLEDピクセルに対応する第2導電型半導体層140上に配置され、CMOSバックプレーンに備えられた各々のCMOSセルとバンプ(bump)を介して電氣的に接続される。

【0029】

第1導電型メタル層160は、第1導電型半導体層120のメサエッチングされた領域上に配置され、前記複数のマイクロLEDピクセルから一定距離だけ離隔して形成される。第1導電型メタル層160は、第1導電型半導体層120上でマイクロLEDパネル100の外郭に沿って所定の幅を有して形成される。第1導電型メタル層160の高さは、前記複数のマイクロLEDピクセルの高さと概して同一に形成される。第1導電型メタル層160は、バンプによってCMOSバックプレーンの共通セルと電氣的に接続され、マイクロLEDピクセルの共通電極として機能する。例えば、第1導電型メタル層160は共通接地である。

10

【0030】

このような第1導電型メタル層160及び第2導電型メタル層150は、マイクロLEDパネル100に形成された複数のマイクロLEDピクセルに電源を提供する。

【0031】

第1導電型半導体層120、活性層130、第2導電型半導体層140、第1導電型メタル層160及び第2導電型メタル層150の少なくとも一側面にはパッシベーション層170が形成される。パッシベーション層170は、発光構造物120、130、140を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

20

【0032】

マイクロLEDパネル100に形成された発光素子(即ち、マイクロLEDピクセル)は、化合物半導体の組成比に応じて互いに異なる波長の光を放射する。マイクロLEDパネル100に含まれた発光素子が赤色LED素子の場合、マイクロLEDパネル100は赤色LEDパネルとなる。マイクロLEDパネル100に含まれた発光素子が緑色LED素子の場合、マイクロLEDパネル100は緑色LEDパネルとなる。マイクロLEDパネル100に含まれた発光素子が青色LED素子の場合、マイクロLEDパネル100は青色LEDパネルとなる。一方、マイクロLEDパネル100は、特定波長を出力する複数の発光素子にR/G/B蛍光体又はR/G/Bカラーフィルタ等を結合してフルカラー(full color)を実現できる。

30

【0033】

マイクロLEDパネル100に形成された複数のマイクロLEDピクセルとCMOSバックプレーン上に形成された複数のCMOSセルが一对一に対応して連結されるようにバンプを用いてフリップチップボンディング(flip chip bonding)することによってマイクロLEDディスプレイ装置が構成される。この時、マイクロLEDパネル100に形成された第1導電型メタル層160及び第2導電型メタル層150は、前記バンプを介してCMOSバックプレーンと電氣的に接続される。

【0034】

図3~図7は、本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

40

図3を参照すれば、成長基板110上に第1導電型半導体層120、活性層130及び第2導電型半導体層140を順次成長させて発光構造物120、130、140を形成することができる。

【0035】

成長基板110は、透光性を有する材質、例えば、サファイア(Al_2O_3)、単結晶基板、 SiC 、 $GaAs$ 、 GaN 、 ZnO 、 AlN 、 Si 、 GaP 、 InP 、 Ge のうち少なくとも一つからなり得るが、これらに限定されない。

【0036】

50

第1導電型半導体層120は、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$, $0 < y < 1-x$)の組成式を有する半導体材料、例えば、 $InAlGaN$ 、 GaN 、 $AlGaInN$ 、 $InGaInN$ 、 $AlInN$ 、 InN 等から選択され、 Si 、 Ge 、 Sn 等のn型ドーパントがドーパされる。このような第1導電型半導体層120は、トリメチルガリウム($TMGa$)ガス、アンモニア(NH_3)ガス、シラン(SiH_4)ガスを水素ガスと共にチャンパー(chamber)に注入して形成される。成長基板110と第1導電型半導体層120との間に非ドーパの半導体層(図示せず)及び/又はバッファ層(図示せず)をさらに含み得るが、特にこれに限定されない。

【0037】

活性層130は、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$, $0 < y < 1-x$)の組成式を有する半導体材料からなることができる。このような活性層130は、トリメチルガリウム($TMGa$)ガス、トリメチルインジウム($TMIIn$)ガス、アンモニア(NH_3)ガスを水素ガスと共にチャンパーに注入して形成されることことができる。

【0038】

第2導電型半導体層140は、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$, $0 < y < 1-x$)の組成式を有する半導体材料、例えば、 $InAlGaInN$ 、 GaN 、 $AlGaInN$ 、 $InGaInN$ 、 $AlInN$ 、 InN 等から選択され、 Mg 、 Zn 、 Ca 、 Sr 、 Ba 等のp型ドーパントがドーパされる。このような第2導電型半導体層140は例えば、トリメチルガリウム($TMGa$)ガス、アンモニア(NH_3)ガス、ビス(エチルシクロペンタジエニル)マグネシウム($bis(ethylcyclopentadienyl)magnesium$)、 $\{(EtCp)_2Mg\}$ 、又は $\{Mg(C_2H_5C_5H_4)_2\}$ ガスを水素ガスと共にチャンパーに注入して形成される。

【0039】

図4を参照すれば、発光構造物120、130、140に対して単位ピクセル領域に応じてアイソレーションエッチング(isolation etching)工程を行って複数の発光素子を形成する。例えば、前記アイソレーションエッチングは、 ICP (Inductively Coupled Plasma)のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第1導電型半導体層120の一つの上面が露出される。この時、共通電極(即ち、n電極)160を形成するために、第1導電型半導体層120の周縁領域は、所定の幅を有するようにエッチングされる。

【0040】

図5及び図6を参照すれば、第2導電型半導体層140の一つの上面に第2導電型半導体層140の一部を被覆する第2導電型メタル層150を形成し、露出した周縁領域の第1導電型半導体層120の一つの上面に第1導電型メタル層160を形成する。

この時、第1及び第2導電型メタル層160、150は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

【0041】

図7を参照すれば、成長基板110、発光構造物120、130、140、第1導電型メタル層160及び第2導電型メタル層150上にパッシベーション層170を形成し、第1及び第2導電型メタル層150、160の一つの上面が外部に露出するようにパッシベーション層170を選択的に除去する。その後、上述した工程により形成されたマイクロLEDパネル100をCMOSバックプレーン(図示せず)にフリップチップボンディングしてマイクロLEDディスプレイ装置を形成する。

【0042】

図8は本発明の他の実施形態によるマイクロLEDパネルの断面図であり、図9は本発明の他の実施形態によるマイクロLEDパネルの平面図である。

図8及び図9を参照すれば、本発明に係るマイクロLEDパネル200は、ウェハー上に積層された複数の発光素子(即ち、複数のマイクロLEDピクセル)がマトリクス状に配列されたアレイ(array)構造を有するLEDパネルであって、画像表示機器の画

10

20

30

40

50

像信号に対応する光 (l i g h t) を出力する機能を果たす。

【 0 0 4 3 】

このようなマイクロLEDパネル200は、成長基板210、成長基板210上の第1導電型半導体層220、第1導電型半導体層220上の活性層230、活性層230上の第2導電型半導体層240、第1導電型半導体層220上の第1導電型メタル層260、第2導電型半導体層240上の第2導電型メタル層250、及びパッシベーション層270を含む。

【 0 0 4 4 】

本実施形態において、成長基板210、第1導電型半導体層220、活性層230、第2導電型半導体層240、第1及び2導電型メタル層250、260、パッシベーション層270は、図1の成長基板110、第1導電型半導体層120、活性層130、第2導電型半導体層140、第1及び2導電型メタル層150、160、パッシベーション層170と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

【 0 0 4 5 】

第2導電型半導体層240上には第2導電型メタル層(即ち、p電極)250が形成され、第1導電型半導体層220上には第1導電型メタル層(即ち、n電極)260が形成される。

【 0 0 4 6 】

例えば、図9に示すように、第2導電型メタル層250は、各々のマイクロLEDピクセルに対応する第2導電型半導体層240上に配置され、CMOSバックプレーンに備えられた各々のCMOSセルとバンプ(bump)を介して電氣的に接続される。

【 0 0 4 7 】

第1導電型メタル層260は、マイクロLEDパネル200の上面で左側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロLEDピクセルの共通電極として機能する。一方、他の実施形態(図示しない)として、第1導電型メタル層260は、マイクロLEDパネル200の上面で右側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロLEDピクセルの共通電極として機能する。このような第1及び第2導電型メタル層250、260は、マイクロLEDパネル200に形成された複数のマイクロLEDピクセルに電源を提供する。

【 0 0 4 8 】

第1導電型半導体層220、活性層230、第2導電型半導体層240、第1導電型メタル層260及び第2導電型メタル層250の少なくとも一側面にはパッシベーション層270が形成される。パッシベーション層270は、発光構造物220、230、240を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

【 0 0 4 9 】

マイクロLEDパネル200に形成された複数のマイクロLEDピクセルとCMOSバックプレーン上に形成された複数のCMOSセルが一对一に対応して連結されるようにバンプを用いてフリップチップボンディング(flip chip bonding)することによってマイクロLEDディスプレイ装置が構成される。この時、マイクロLEDパネル200に形成された第1導電型メタル層260及び第2導電型メタル層250は、前記バンプを介してCMOSバックプレーンと電氣的に接続される。

【 0 0 5 0 】

図10~図14は、本発明の上記他の実施形態に係るマイクロLEDパネルの製造方法を説明する図である。以下、本実施形態において、前記マイクロLEDパネル製造方法は図3~図7のマイクロLEDパネル製造方法と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

【 0 0 5 1 】

図10を参照すれば、成長基板210上に第1導電型半導体層220、活性層230及

10

20

30

40

50

び第2導電型半導体層240を順次成長させて発光構造物220、230、240を形成する。

【0052】

図11を参照すれば、発光構造物220、230、240に対して単位ピクセル領域に応じてアイソレーションエッチング(isolation etching)工程を行って複数の発光素子(即ち、複数のマイクロLEDピクセル)を形成する。例えば、前記アイソレーションエッチングは、ICP(Inductively Coupled Plasma)のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第1導電型半導体層220の一つの上面が露出される。

【0053】

図12及び図13を参照すれば、第2導電型半導体層240の一つの上面に第2導電型半導体層240の一部を被覆する第2導電型メタル層250を形成し、メサエッチングされた第1導電型半導体層220の一つの上面に第1導電型メタル層260を形成することができる。図5及び図6の製造工程とは異なり、第1導電型メタル層260は第1導電型半導体層220の周縁領域の一部の領域にのみ形成される。この時、第1及び第2導電型メタル層260、250は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

【0054】

図14を参照すれば、成長基板210、発光構造物220、230、240、第1導電型メタル層260及び第2導電型メタル層250上にパッシベーション層270を形成し、第1及び第2導電型メタル層260、250の一つの上面が外部に露出するようにパッシベーション層270を選択的に除去する。その後、上述した工程により形成されたマイクロLEDパネル200をCMOSバックプレーン(図示せず)にフリップチップボンディングしてマイクロLEDディスプレイ装置を形成することができる。

【0055】

図15は、マイクロLEDディスプレイ装置に用いられる一般的なCMOSバックプレーンの構造を説明する図である。

図15を参照すれば、一般的なCMOSバックプレーン(又は、マイクロLED駆動基板)400は、マイクロLEDパネル100と対向するように配置され、入力画像信号に対応してマイクロLEDパネル100に備えられる複数のマイクロLEDピクセルを駆動する機能を果たす。

【0056】

CMOSバックプレーン400は、複数のマイクロLEDピクセルを個別的に駆動させるための複数のCMOSセルを備えるアクティブマトリクス(Active Matrix)回路部405と、アクティブマトリクス回路部405の外郭に配置される制御回路部410~480とを含むことができる。

【0057】

アクティブマトリクス回路部405に備えられる複数のCMOSセルの各々は、バンプを介して対応するマイクロLEDピクセルに電氣的に接続される。よって、複数のCMOSセルの各々は、例えば、2個のトランジスタと1個のキャパシタを含むピクセル駆動回路であり、バンプを用いてCMOSバックプレーン400にマイクロLEDパネル100をフリップチップボンディングする場合、等価回路上、前記ピクセル駆動回路のトランジスタのドレーン端子と共通接地端子との間に個々のマイクロLEDピクセルが配置される形態に構成される。

【0058】

CMOSバックプレーン400はマイクロLEDパネル100の第1導電型メタル層160と対応する位置に形成された共通セル(図示せず)を含み、第1導電型メタル層160と共通セルはバンプを介して電氣的に接続される。

【0059】

制御回路部は、スキャン駆動部410、第1データ駆動部420、第2データ駆動部4

10

20

30

40

50

30、ガンマ電圧生成部440、タイミング制御部450、スキャン信号検知パッド部460、データ出力検知パッド部470及び入力パッド部480を含む。

【0060】

制御回路部を構成する回路410～480は、矩形に配置されたアクティブマトリクス回路部405の4辺（即ち、上/下/左/右辺）に隣接した領域に配置される。一例として、図面に示すように、スキャン駆動部410はアクティブマトリクス回路部405の左方の領域に配置され、スキャン信号検知パッド部460はアクティブマトリクス回路部405の右方の領域に配置される。また、データ出力検知パッド部470はアクティブマトリクス回路部405の上方の領域に配置され、第1及び第2データ駆動部420、430、ガンマ電圧生成部440、タイミング制御部450及び入力パッド部480はアクティブマトリクス回路部405の下方の領域に配置される。

10

【0061】

スキャン駆動部410は、タイミング制御部450から供給されたゲートタイミング制御信号（GDC）に応答して、複数のマイクロLEDピクセルに対応するトランジスタが動作可能なようにゲート駆動電圧のシングルレベルを発生させる信号をシフトさせつつスキャン信号を順次生成する。スキャン駆動部410は、スキャンラインを介して生成されたスキャン信号をマイクロLEDパネル100に含まれた複数のマイクロLEDピクセルに供給する。

【0062】

第1及び第2データ駆動部420、430は、タイミング制御部450から供給されたデータタイミング制御信号（DDC）に応答して、タイミング制御部450から供給されるデジタル形態のデータ信号をサンプリングラッチして並列データ体系のデータに変換する。第1及び第2データ駆動部420、430は、並列データ体系のデータに変換する時、デジタル形態のデータ信号をガンマ基準電圧に変換してアナログ形態のデータ信号を出力する。第1及び第2データ駆動部420、430は、データラインを介して前記アナログ形態のデータ信号をマイクロLEDパネル100に含まれた複数のマイクロLEDピクセルに供給する。ここで、第1データ駆動部420はデータ信号をマイクロLEDパネル100の左側領域に存在するマイクロLEDピクセルに供給し、第2データ駆動部430はデータ信号をマイクロLEDパネル100の右側領域に存在するマイクロLEDピクセルに供給する。

20

30

【0063】

ガンマ電圧生成部440は、ガンマ（gamma）基準電圧を生成して第1及び第2データ駆動部420、430に提供する。

【0064】

タイミング制御部450は、外部から垂直同期信号（Vsync）、水平同期信号（Hsync）、データイネーブル信号（Data Enable、DE）、クロック信号（CLK）、データ信号（DATA）等の供給を受ける。タイミング制御部450は、垂直同期信号（Vsync）、水平同期信号（Hsync）、データイネーブル信号（Data Enable、DE）、クロック信号（CLK）等のタイミング信号等を用いて、第1及び第2データ駆動部420、430とスキャン駆動部410の動作タイミングを制御する。

40

【0065】

タイミング制御部450から生成される制御信号には、スキャン駆動部410の動作タイミングを制御するためのゲートタイミング制御信号（GDC）と第1及び第2データ駆動部420、430の動作タイミングを制御するためのデータタイミング制御信号（DDC）が含まれる。

【0066】

ゲートタイミング制御信号（GDC）には、ゲートスタートパルス（Gate Start Pulse、GSP）、ゲートシフトクロック（Gate Shift Clock、GSC）、ゲート出力イネーブル信号（Gate Output Enable、G

50

OE)が含まれる。データタイミング制御信号(DDC)には、ソーススタートパルス(Source Start Pulse、SSP)、ソースサンプリングクロック(Source Sampling Clock、SSC)、ソース出力イネーブル信号(Source Output Enable、SOE)が含まれる。

【0067】

スキャン信号検知パッド部460は、スキャン駆動部410から出力されるスキャン信号を検知するためのパッド(pads)を含む。データ出力検知パッド部470は、第1及び第2データ駆動部420、430から出力されるデータ信号を多重化(multiplex)し、それを検知するためのパッド(pads)を含む。

【0068】

入力パッド部480は、外部信号を入力するためのパッドであって、RGB入力パッド部、LVDS(Low voltage differential signaling)入力パッド部、及びSPI(Serial Peripheral Interface)入力パッド部を含む。

【0069】

CMOSバックプレーン400を介したマイクロLEDパネル100の制御動作を簡単に見てみれば、スキャン駆動部410は、イメージデータの提供時、全てのスキニングラインをスキニングし、そのうちの何れか一つ以上にH(high)信号を入力してターンオン(turn on)させる。一方、第1及び第2データ駆動部420、430からイメージデータを複数のデータラインに供給すると、前記スキニングラインにおいてターンオン状態に置かれたマイクロLEDピクセルのみが前記イメージデータを受信し、該イメージデータがマイクロLEDパネル100を介して表示される。このような方式で全てのスキニングラインが順次スキニングされて一つのフレーム(frame)に対するディスプレイが完了する。

【0070】

このようなCMOSバックプレーン400上にマイクロLEDパネル100をフリップチップボンディング(flip chip bonding)してマイクロLEDディスプレイ装置を形成する。

【0071】

図16は、本発明の一実施形態によるCMOSバックプレーンの構造を説明する図である。

図16を参照すれば、本発明の一実施形態によるCMOSバックプレーン(又は第1タイプのCMOSバックプレーン)500は、マイクロLEDパネル200と互いに対向するように配置され、入力画像信号に対応してマイクロLEDパネル200に備えられる複数のマイクロLEDピクセルを駆動する機能を果たす。

【0072】

CMOSバックプレーン500は、複数のマイクロLEDピクセルを個別的に駆動させるための複数のCMOSセルを備えるアクティブマトリクス回路部505と、アクティブマトリクス回路部505の外郭に配置される制御回路部510~580とを含む。

【0073】

アクティブマトリクス回路部505に備えられる複数のCMOSセルの各々は、バンプを介して対応するマイクロLEDピクセルに電氣的に接続される。CMOSバックプレーン500はマイクロLEDパネル200の第1導電型メタル層260と対応する位置に形成された共通セル(図示せず)を含み、第1導電型メタル層260と共通セルとはバンプを介して電氣的に接続される。

【0074】

制御回路部は、スキャン駆動部510、第1データ駆動部520、第2データ駆動部530、ガンマ電圧生成部540、タイミング制御部550、スキャン信号検知パッド部560、データ出力検知パッド部570及び入力パッド部580等を含む。

【0075】

10

20

30

40

50

本実施形態において、前記制御回路部を構成するスキャン駆動部 510、第1データ駆動部 520、第2データ駆動部 530、ガンマ電圧生成部 540、タイミング制御部 550、スキャン信号検知パッド部 560、データ出力検知パッド部 570 及び入力パッド部 580 は各々、上述した図 15 のスキャン駆動部 410、第1データ駆動部 420、第2データ駆動部 430、ガンマ電圧生成部 440、タイミング制御部 450、スキャン信号検知パッド部 460、データ出力検知パッド部 470 及び入力パッド部 480 と同一であるので、それに関する詳しい説明は省略する。

【0076】

一方、図 15 に示された一般的な CMOS バックプレーン 400 とは異なり、本実施形態による制御回路部を構成する回路 510 ~ 580 は、矩形に配置されたアクティブマトリクス回路部 505 の第1辺（即ち、左辺）及び第2辺（即ち、下辺）に隣接した領域にのみ配置されること。この場合、CMOS バックプレーン 500 は、回路 510 ~ 580 が配置された領域に対応するマイクロ LED パネル 200 上の共通電極（即ち、n 電極）を共用できる。

10

【0077】

一例として、図面に示すように、スキャン駆動部 510 及びスキャン信号検知パッド部 560 は、アクティブマトリクス回路部 505 の左方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 505 の左辺に隣接してスキャン駆動部 510 が配置され、その左方に隣接してスキャン信号検知パッド部 560 が配置される。

【0078】

第1及び第2データ駆動部 520、530、ガンマ電圧生成部 540、データ出力検知パッド部 570、タイミング制御部 550 及び入力パッド部 580 は、アクティブマトリクス回路部 505 の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 505 の下方に隣接してデータ出力検知パッド部 570 が配置され、その下方に隣接して第1及び第2データ駆動部 520、530 とガンマ電圧生成部 540 が配置され、更にその下方に隣接して入力パッド部 580 が配置される。また、タイミング制御部 550 は、データ出力検知パッド部 570 及び第1データ駆動部 520 の左方の隣接領域に配置される。

20

【0079】

一方、アクティブマトリクス回路部 505 の2辺に隣接して配置される回路 510 ~ 580 の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

30

【0080】

このような CMOS バックプレーン 500 上にマイクロ LED パネル 200 をフリップチップボンディングして第1タイプのマイクロ LED ディスプレイ装置を形成する。この時、前記第1タイプのマイクロ LED ディスプレイ装置は最大 1.22 インチまで製作可能である。

【0081】

図 17 は、本発明の他の実施形態による CMOS バックプレーンの構造を説明する図である。

40

図 17 を参照すれば、本発明の他の実施形態による CMOS バックプレーン（又は第2タイプの CMOS バックプレーン）600 は、上述の図 16 示されに示されたマイクロ LED パネル 200 に対して図において左右鏡像対象なマイクロ LED パネル 300（図示せず）と互いに対向するように配置され、入力画像信号に対応してマイクロ LED パネル 300 に備えられる複数のマイクロ LED ピクセルを駆動する機能を果たす。

【0082】

CMOS バックプレーン 600 は、複数のマイクロ LED ピクセルを個別的に駆動させるための複数の CMOS セルを備えるアクティブマトリクス回路部 605 と、アクティブマトリクス回路部 605 の外郭に配置される制御回路部 610 ~ 680 とを含む。

50

【 0 0 8 3 】

アクティブマトリクス回路部 6 0 5 に備えられる複数の CMOS セルの各々は、パンプを介して対応するマイクロ LED ピクセルに電氣的に接続される。CMOS バックプレーン 6 0 0 は、マイクロ LED パネル 3 0 0 の第 1 導電型メタル層 3 6 0 (図示せず、マイクロ LED パネル 2 0 0 の第 1 導電型メタル層 2 6 0 とは、平面視で左右鏡像対称位置に配置されている) に対応する位置に形成された共通セル (図示せず) を含み、第 1 導電型メタル層 3 6 0 と CMOS バックプレーン 6 0 0 上の共通セル (図示せず) とはパンプを介して電氣的に接続される。

【 0 0 8 4 】

制御回路部は、スキャン駆動部 6 1 0、第 1 データ駆動部 6 2 0、第 2 データ駆動部 6 3 0、ガンマ電圧生成部 6 4 0、タイミング制御部 6 5 0、スキャン信号検知パッド部 6 6 0、データ出力検知パッド部 6 7 0 及び入力パッド部 6 8 0 等を含む。

10

【 0 0 8 5 】

本実施形態において、前記制御回路部を構成するスキャン駆動部 6 1 0、第 1 データ駆動部 6 2 0、第 2 データ駆動部 6 3 0、ガンマ電圧生成部 6 4 0、タイミング制御部 6 5 0、スキャン信号検知パッド部 6 6 0、データ出力検知パッド部 6 7 0 及び入力パッド部 6 8 0 は、上述した図 1 5 のスキャン駆動部 4 1 0、第 1 データ駆動部 4 2 0、第 2 データ駆動部 4 3 0、ガンマ電圧生成部 4 4 0、タイミング制御部 4 5 0、スキャン信号検知パッド部 4 6 0、データ出力検知パッド部 4 7 0 及び入力パッド部 4 8 0 と同一であるので、それに関する詳しい説明は省略する。

20

【 0 0 8 6 】

一方、図 1 5 に示された一般的な CMOS バックプレーン 4 0 0 とは異なり、本実施形態による制御回路部を構成する回路 6 1 0 ~ 6 8 0 は、アクティブマトリクス回路部 6 0 5 の第 1 辺 (即ち、右辺) 及び第 2 辺 (即ち、下辺) に隣接した領域にのみ配置される。この場合、CMOS バックプレーン 6 0 0 は、回路 6 1 0 ~ 6 8 0 が配置された領域に対応するマイクロ LED パネル 3 0 0 上の共通電極 (即ち、n 電極) を共用できる。

【 0 0 8 7 】

一例として、図 1 7 に示すように、スキャン駆動部 6 1 0 及びスキャン信号検知パッド部 6 6 0 は、アクティブマトリクス回路部 6 0 5 の右方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 6 0 5 の右辺に隣接してスキャン駆動部 6 1 0 が配置され、その右辺に隣接してスキャン信号検知パッド部 6 6 0 が配置される。

30

【 0 0 8 8 】

第 1 及び第 2 データ駆動部 6 2 0、6 3 0、ガンマ電圧生成部 6 4 0、データ出力検知パッド部 6 7 0、タイミング制御部 6 5 0 及び入力パッド部 6 8 0 は、アクティブマトリクス回路部 6 0 5 の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 6 0 5 の下方に隣接してデータ出力検知パッド部 6 7 0 が配置され、その下方に隣接して第 1 及び第 2 データ駆動部 6 2 0、6 3 0 とガンマ電圧生成部 6 4 0 が配置され、更にその下方に隣接して入力パッド部 6 8 0 が配置される。また、タイミング制御部 6 5 0 は、データ出力検知パッド部 6 7 0 及び第 1 データ駆動部 6 2 0 の右方の隣接領域に配置される。

40

【 0 0 8 9 】

一方、アクティブマトリクス回路部 6 0 5 の 2 辺に隣接して配置される回路 6 1 0 ~ 6 8 0 の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

【 0 0 9 0 】

このような CMOS バックプレーン 6 0 0 上にマイクロ LED パネル 3 0 0 をフリップチップボンディングして第 2 タイプのマイクロ LED ディスプレイ装置を形成する。この時、前記第 2 タイプのマイクロ LED ディスプレイ装置は最大 1 . 2 2 インチまで製作可能である。

50

【0091】

第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置は、同一の製造工程上で左/右位置だけ変更すれば良いので、別途の追加工程が不要であり、駆動ソフトウェアも上/下、左/右の対称オプションによって単一ソフトウェアの開発のみにより適用可能である。以下に、このような第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置を組み合わせることでディスプレイの大きさを拡張できることを示す。

【0092】

図18は、本発明の一実施形態によるマイクロLEDディスプレイ装置を説明する図である。

10

図18を参照すれば、本発明の一実施形態によるマイクロLEDディスプレイ装置1000は、マイクロLEDパネル200、第1タイプのCMOSバックプレーン500及びバンプ1010を含む。この時、第1タイプのCMOSバックプレーン500は、アクティブマトリクス回路部505と、アクティブマトリクス回路部505の(平面視で)左辺及び下辺に隣接した領域に配置される制御回路部510~580とを含む。

【0093】

マイクロLEDパネル200は複数のマイクロLEDピクセル280を含み、CMOSバックプレーン500は複数のマイクロLEDピクセルの各々を個別的に駆動させるためにマイクロLEDピクセルの各々に対応する複数のCMOSセル501を含む。この時、マイクロLEDパネル200のピクセル領域はCMOSバックプレーン500のAM(アクティブマトリクス)領域と対応する。

20

【0094】

バンプ1010は、マイクロLEDピクセル280とCMOSセル501が対向するように配置された状態(図18(a))で、マイクロLEDピクセル280の各々とこれらの各々に対応するCMOSセル501とを電氣的に接続する(図18(b))。

【0095】

このようなマイクロLEDディスプレイ装置1000の製造工程を簡単に見てみれば、まず、複数のバンプ1010をCMOSバックプレーン500のCMOSセル501と共通セル502の上部に配置する(図18(a))。そして、複数のバンプ1010が配置された状態のCMOSバックプレーン500とマイクロLEDパネル200を互いに対向するようにしてCMOSセル501とマイクロLEDピクセル280を一対一対応させて密着させた後に加熱する。そうすると、複数のバンプ1010が一旦、溶解し、それにより、CMOSセル501とそれに対応するマイクロLEDピクセル280が電氣的に接続され、且つ、共通セル502とそれに対応するマイクロLEDパネル200の共通電極260が電氣的に接続される状態となる(図18(b))。

30

【0096】

一方、本実施形態においては、図8のマイクロLEDパネル200がマイクロLEDディスプレイ装置1000に用いられることを例示しているが、これに制限されず、上述した図1のマイクロLEDパネル100がマイクロLEDディスプレイ装置1000に用いられてもよいことは当業者に明らかなことである。

40

【0097】

図19は、本発明の他の実施形態によるマイクロLEDディスプレイ装置を説明する図である。

図19を参照すれば、本発明の他の実施形態によるマイクロLEDディスプレイ装置1100は、マイクロLEDパネル300、第2タイプのCMOSバックプレーン600及びバンプ1110を含む。この時、第2タイプのCMOSバックプレーン600は、アクティブマトリクス回路部605と、アクティブマトリクス回路部605の右辺及び下辺に隣接した領域に配置される制御回路部610~680とを含む。

【0098】

マイクロLEDパネル300は複数のマイクロLEDピクセル380を含み、CMOS

50

バックプレーン600は複数のマイクロLEDピクセルの各々を個別的に駆動させるためにマイクロLEDピクセルの各々に対応する複数のCMOSセル601を含む。そして、バンプ1110は、マイクロLEDピクセル380とCMOSセル601が対向するように配置された状態(図19(a))で、マイクロLEDピクセル280の各々とこれらの各々に対応するCMOSセル601とを電氣的に接続する(図19(b))。

【0099】

このようなマイクロLEDディスプレイ装置1100の製造工程を簡単に見てみれば、先ず、複数のバンプ1110をCMOSバックプレーン600のCMOSセル601と共通セル602の上部に配置する。そして、複数のバンプ1110が配置された状態のCMOSバックプレーン600とマイクロLEDパネル200を互いに対向するようにしてCMOSセル601とマイクロLEDピクセル280を一対一対応させて密着させた後に加熱する。そうすると、複数のバンプ1110が一旦、溶解し、それにより、CMOSセル601とそれに対応するマイクロLEDピクセル280が電氣的に接続され、共通セル602とそれに対応するマイクロLEDパネル200の共通電極260が電氣的に接続される状態となる。

10

【0100】

同様に、本実施形態においては、マイクロLEDパネル300がマイクロLEDディスプレイ装置1100に用いられることを例示しているが、これに制限されず、例えば上述した図1のマイクロLEDパネル100がマイクロLEDディスプレイ装置1100に用いてもよいことは当業者に明らかなことである。

20

【0101】

図20は、ディスプレイ大きさを水平方向に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

図20を参照すれば、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100を平面視で互いに横方向(即ち、水平方向)に配置してディスプレイの大きさを2倍に拡張したマイクロLEDディスプレイ装置10を実現する。

【0102】

拡張されたマイクロLEDディスプレイ装置10は、第1タイプのマイクロLEDディスプレイ装置1000の第1表示領域(又は第1表示パネル)と第2タイプのマイクロLEDディスプレイ装置1100の第2表示領域(又は第2表示パネル)とを互いに対向するように構成してなる。この時、第1表示領域と第2表示領域との間の間隔を最小化するように構成する。

30

【0103】

一例として、第1表示領域と第2表示領域との間の間隔(又は、距離、d)は下記一般式1によって決定される。

[数1]

$$d = 40 + 2 + \quad \quad \quad (一般式1)$$

【0104】

ここで、40(mm)は第1CMOSバックプレーンの端領域の幅(20mm)と第2CMOSバックプレーンの端領域の幅(20mm)を合算した値であり、a(mm)はソーイング(Sawing、チップ化切断)誤差であり、b(mm)はモジュール組み立てマージンである。

40

【0105】

図8及び図9に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極(即ち、n電極)が形成されていない場合、第1表示領域の端ピクセルと第2表示領域の端ピクセルとの間の間隔がピクセルピッチ(pixel pitch)に対応するように構成される。前記ピクセルとピクセルとの間の間隔(gap)がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数μmの大きさにギャップを最小化で

50

きる。

【0106】

一方、図1及び図2に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極（即ち、n電極）が形成されている場合、前記共通電極を除いた連結部分の間隔（gap）がピクセルピッチに対応するように構成される。同様に、前記連結部分の間隔（gap）がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数 μm の大きさにギャップを最小化できる。

【0107】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100とを水平方向に結合してディスプレイの大きさを2倍に拡張できる。

10

【0108】

図21は、ディスプレイ大きさを平面視で互いに縦方向（即ち、垂直方向）に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

図21を参照すれば、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100を平面視で縦方向（即ち、垂直方向）に配置してディスプレイ大きさを2倍に拡張したマイクロLEDディスプレイ装置20を実現する。

【0109】

拡張されたマイクロLEDディスプレイ装置20は、第1タイプのマイクロLEDディスプレイ装置1000の第1表示領域と第2タイプのマイクロLEDディスプレイ装置1100の第2表示領域が互いに対向するように構成してなる。この時、第1表示領域と第2表示領域との間の間隔を最小化するように構成する。一例として、第1表示領域と第2表示領域との間の間隔（d）は前記一般式1によって決定される。

20

【0110】

図8及び図9に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極（即ち、n電極）が形成されていない場合、第1表示領域の端ピクセルと第2表示領域の端ピクセルとの間の間隔がピクセルピッチに対応するように構成される。一方、図1及び図2に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極（即ち、n電極）が形成されている場合、前記共通電極を除いた連結部分の間隔（gap）がピクセルピッチに対応するように構成される。

30

【0111】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100を垂直方向に結合してディスプレイの大きさを2倍に拡張できる。

【0112】

図22は、ディスプレイの大きさを4倍に拡張したマイクロLEDディスプレイ装置を説明する図である。

図22を参照すれば、2個の第1タイプのマイクロLEDディスプレイ装置1000と2個の第2タイプのマイクロLEDディスプレイ装置1100をマトリクス状に配列してディスプレイの大きさを4倍に拡張したマイクロLEDディスプレイ装置30を実現する。

40

【0113】

前記マトリクス配列構造において、第1タイプのマイクロLEDディスプレイ装置1000は拡張されたマイクロLEDディスプレイ装置30の第1対角線方向に位置し、第2タイプのマイクロLEDディスプレイ装置1100は拡張されたマイクロLEDディスプレイ装置30の第2対角線方向に位置することができる。

【0114】

第1対角線方向に位置する第1タイプのマイクロLEDディスプレイ装置1000の何れか一つは、同一タイプの他のマイクロLEDディスプレイ装置1000を180度回転

50

して配置されることができる。また、第2対角線方向に位置する第2タイプのマイクロLEDディスプレイ装置1100の何れか一つは、同一タイプの他のマイクロLEDディスプレイ装置1100を180度回転して配置されることができる。

【0115】

拡張されたマイクロLEDモジュール30は、第1タイプのマイクロLEDモジュール1000の第1表示領域と第2タイプのマイクロLEDモジュール1100の第2表示領域が互いに対向するように構成されることができる。この時、第1表示領域と第2表示領域との間の間隔が最小化するように構成されることができる。一例として、第1表示領域と第2表示領域との間の間隔(d)は一般式1によって決定される。

【0116】

図8及び図9に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極(即ち、n電極)が形成されていない場合、第1表示領域の端ピクセルと第2表示領域の端ピクセルとの間の間隔(gap)がピクセルピッチに対応するように構成される。一方、図1及び図2に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極(即ち、n電極)が形成された場合、前記共通電極を除いた連結部分の間隔(gap)がピクセルピッチに対応するように構成される。

【0117】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100の方向転換及び組み合わせを通じてディスプレイの大きさを4倍に拡張できる。

【0118】

以上では本発明の具体的な実施形態について説明したが、本発明の範囲から逸脱しない範囲内で種々の変形が可能であることは勿論である。よって、本発明の範囲は説明された実施形態に限定されず、後述する特許請求の範囲だけでなく、該特許請求の範囲と均等なものによって定めなければならない。

【符号の説明】

【0119】

10, 20, 30	・・・マイクロLEDディスプレイ装置	
100, 200	・・・マイクロLEDパネル、マイクロLEDアレイ	
110, 210	・・・成長基板	30
120, 220	・・・第1導電型半導体層	
130, 230	・・・活性層	
140, 240	・・・第2導電型半導体層	
150, 250, 350	・・・第2導電型メタル層	
160, 260, 360	・・・第1導電型メタル層	
170, 270	・・・パッシベーション層	
180, 280, 380	・・・マイクロLEDピクセル	
400, 500, 600	・・・CMOSバックプレーン	
401, 501, 601	・・・CMOSセル	
405, 505, 605	・・・アクティブマトリクス(Active Matrix	40
)回路部		
410, 510, 610	・・・スキャン駆動部	
420, 520, 620	・・・第1データ駆動部	
430, 530, 630	・・・第2データ駆動部	
440, 540, 640	・・・ガンマ電圧生成部	
450, 550, 650	・・・タイミング制御部	
460, 560, 660	・・・スキャン信号検知パッド部	
470, 570, 670	・・・データ出力検知パッド部	
480, 580, 680	・・・入力パッド部	
1000, 1100	・・・マイクロLEDディスプレイ装置	50

1 0 1 0 , 1 1 1 0 . . . バンプ

【要約】 (修正有)

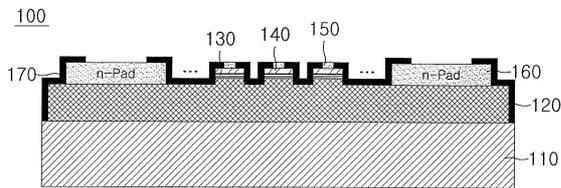
【課題】様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置を提供する。

【解決手段】複数のマイクロLEDピクセルが行と列に配列された平面視で矩形状のマイクロLEDパネル、及び前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM(Active Matrix、アクティブマトリクス)回路部405と、前記AM回路部の外郭に配置される制御回路部410~480とを含むマイクロLED駆動基板(backplane)400を含み、前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置されることを特徴とする。

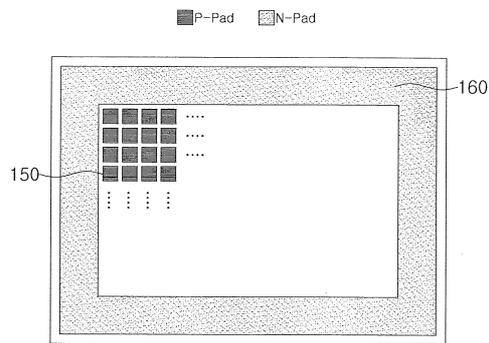
10

【選択図】図15

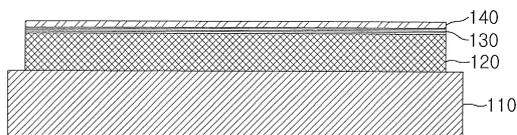
【図1】



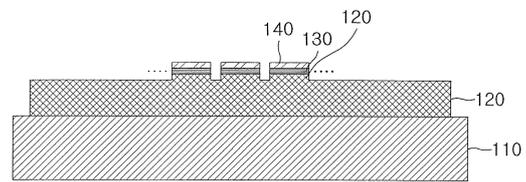
【図2】



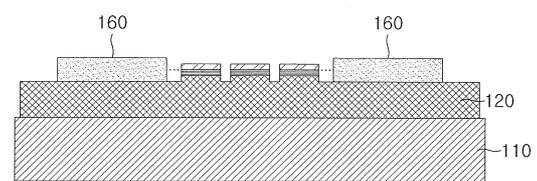
【図3】



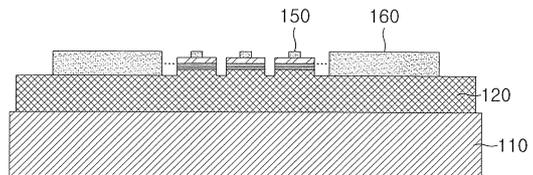
【図4】



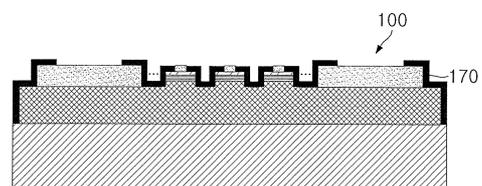
【図5】



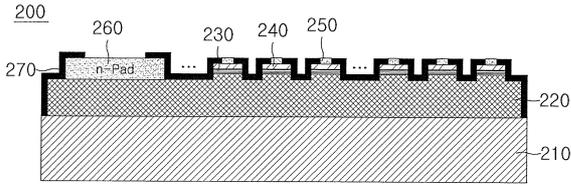
【図6】



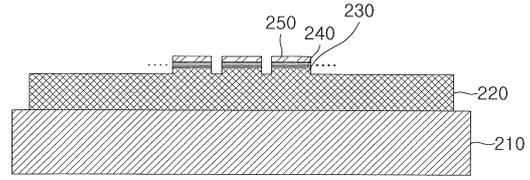
【図7】



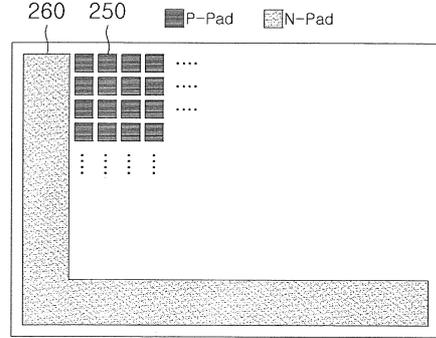
【図 8】



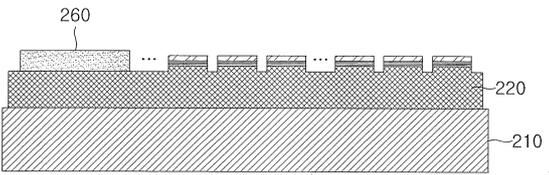
【図 11】



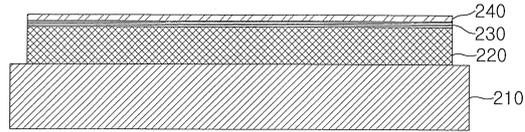
【図 9】



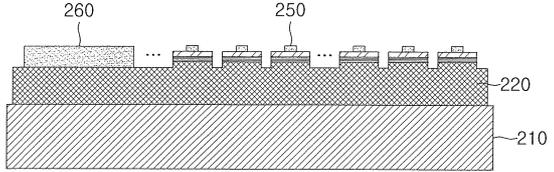
【図 12】



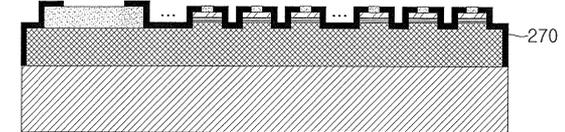
【図 10】



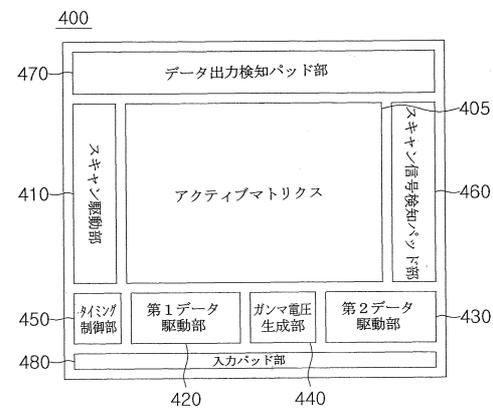
【図 13】



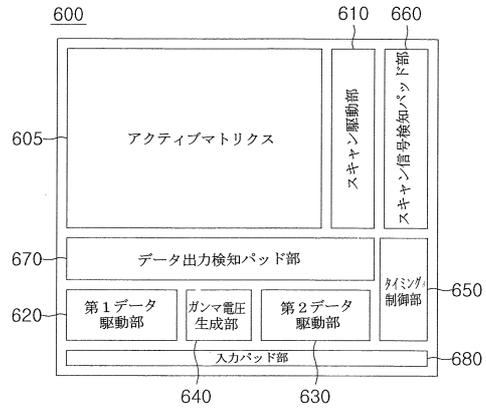
【図 14】



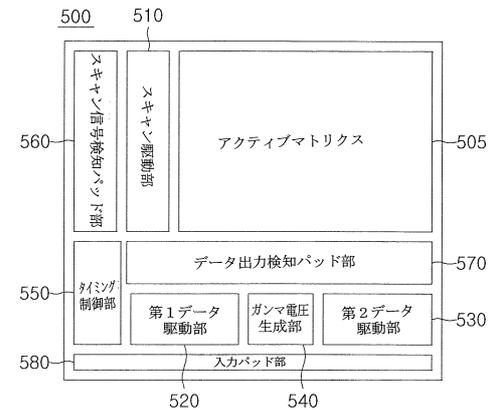
【図 15】



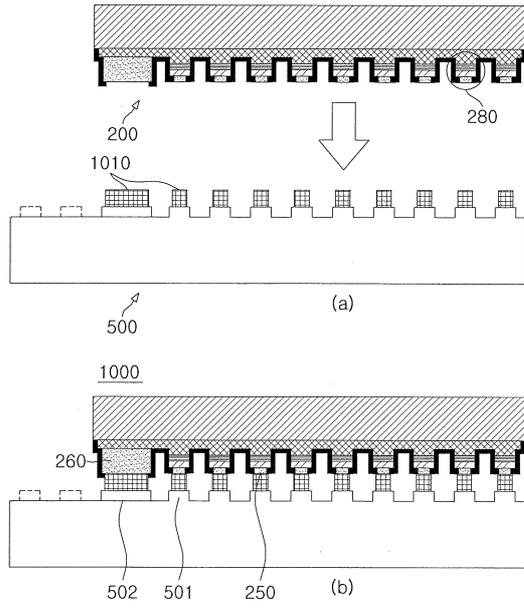
【図 17】



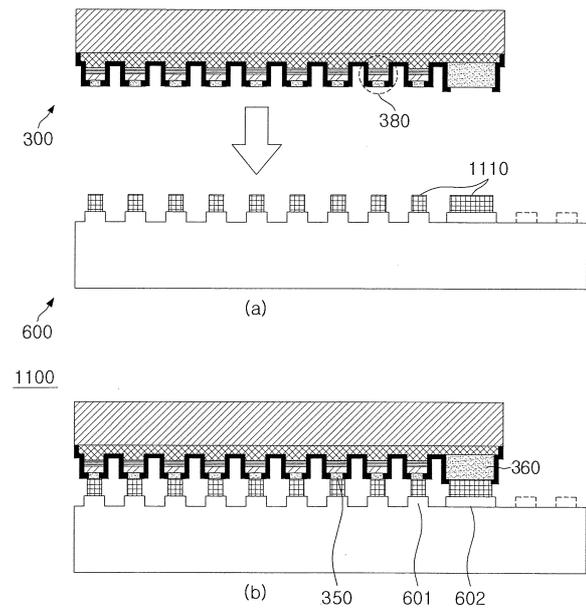
【図 16】



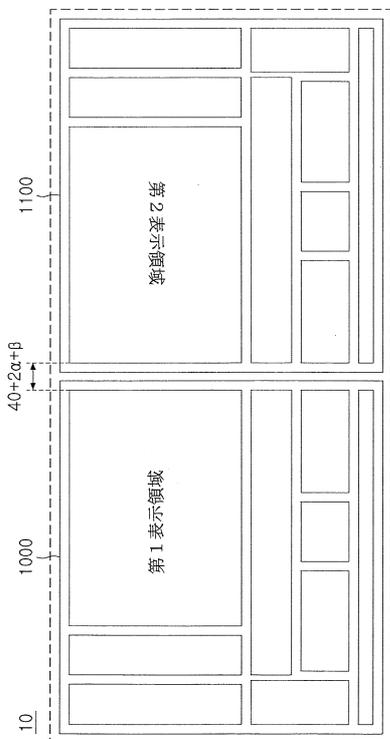
【 図 1 8 】



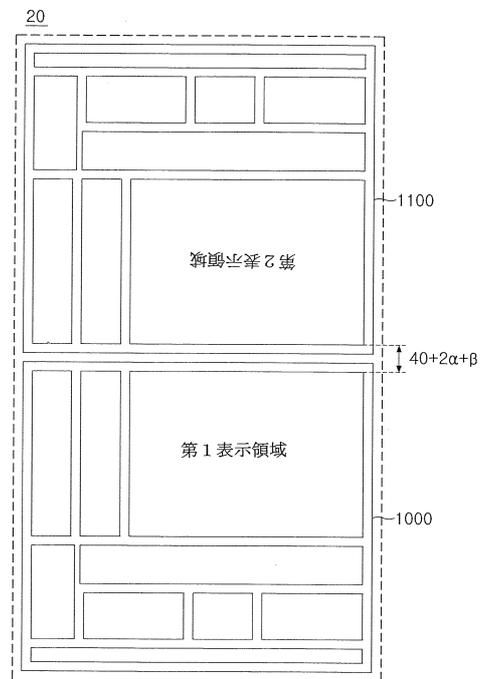
【 図 1 9 】



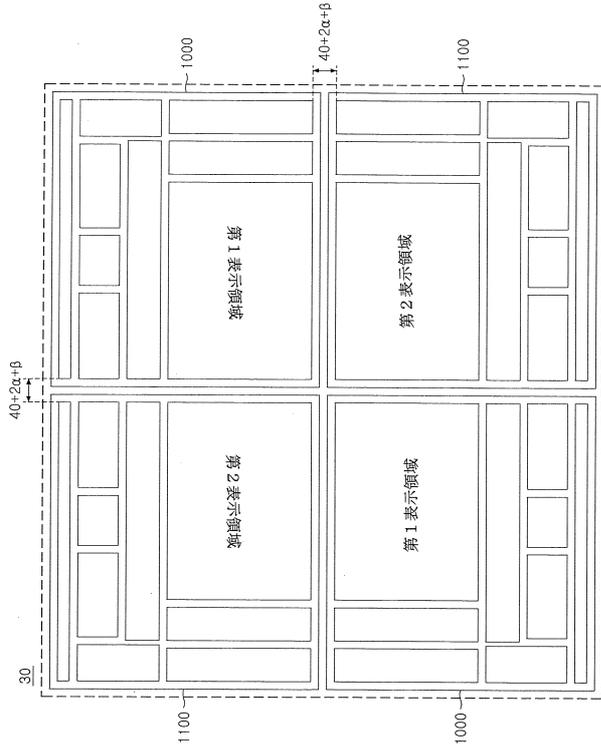
【 図 2 0 】



【 図 2 1 】



【 図 22 】



フロントページの続き

- (51)Int.Cl. F I
 G 0 9 G 3/20 6 2 4 B
 H 0 1 L 33/00 L
- (72)発明者 キム, ヨンビル
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
- (72)発明者 ムーン, ミョンジ
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
- (72)発明者 チャン, ハンビート
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
- (72)発明者 パク, ジェスーン
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

審査官 村川 雄一

- (56)参考文献 特開2008 - 262993 (JP, A)
 特開2011 - 215380 (JP, A)
 特表2009 - 509326 (JP, A)
 特許第6131374 (JP, B2)

- (58)調査した分野(Int.Cl., DB名)
 G 0 9 F 9 / 0 0 - 9 / 4 6
 H 0 1 L 3 3 / 0 0 - 3 3 / 6 4
 G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5 ; 1 / 1 3 5

专利名称(译)	微型LED显示装置及其制造方法		
公开(公告)号	JP6343082B1	公开(公告)日	2018-06-13
申请号	JP2017194601	申请日	2017-10-04
申请(专利权)人(译)	流明有限公司		
当前申请(专利权)人(译)	流明有限公司		
[标]发明人	シンウンソン チヨドンヒー キムヨンピル ムーンミヨンジ チャンハンビート パクジェスン		
发明人	シン,ウンソン チヨ,ドンヒー キム,ヨンピル ムーン,ミヨンジ チャン,ハンビート パク,ジェスン		
IPC分类号	G09G3/32 G09F9/33 G09G3/20 H01L33/00		
CPC分类号	H01L24/16 H01L25/167 H01L27/156 H01L2224/16148 H01L2924/12041 H01L2924/1426 H01L25/162 H01L25/18 H01L27/1214		
FI分类号	G09G3/32.A G09F9/33 G09G3/20.621.M G09G3/20.680.G G09G3/20.680.H G09G3/20.624.B H01L33 /00.L		
F-TERM分类号	5C080/AA07 5C080/BB05 5C080/FF11 5C080/JJ06 5C094/AA14 5C094/BA03 5C094/BA25 5C094 /CA19 5C094/DB01 5C094/EA07 5C094/EB05 5C094/FA02 5C094/FB12 5C094/FB14 5C380/AA03 5C380/AB06 5C380/CA57 5C380/CB37 5C380/CE05 5F142/BA32 5F142/CA11 5F142/CA13 5F142 /CB23 5F142/DB24 5F142/GA02		
优先权	1020170052792 2017-04-25 KR		
其他公开文献	JP2018185502A		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够实现各种尺寸的显示器的微LED显示装置。AM(有源矩阵)包括在平面图中呈矩形形状的多个微LED面板,其中多个微LED像素以行和列布置,以及多个CMOS单元对应于多个微LED像素。微型LED驱动板(背板)400包括电路单元405和设置在AM电路单元外部的控制电路单元410至480,该控制电路单元包括微型LED面板的四个侧面其特征在于沿两个相邻侧面设置。[选定图]图15

(45) 発行日 平成30年6月13日(2018. 6. 13)

(24) 登録日 平成30年5月25日(2018. 5. 25)

(51) Int. Cl.	F I	
G09G 3/32 (2016.01)	G09G 3/32	A
G09F 9/33 (2006.01)	G09F 9/33	
G09G 3/20 (2006.01)	G09G 3/20	621M
H01L 33/00 (2010.01)	G09G 3/20	680G
	G09G 3/20	680H

請求項の数 10 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2017-194601 (P2017-194601)	(73) 特許権者	514121240
(22) 出願日	平成29年10月4日(2017. 10. 4)		ルーマニア カンパニー リミテッド
審査請求日	平成29年10月4日(2017. 10. 4)		大韓民国 449-901 キョンギ道
(31) 優先権主張番号	10-2017-0052792		ヨンイン市 キヘン区 ウォンゴメーロ
(32) 優先日	平成29年4月25日(2017. 4. 25)		12
(33) 優先権主張国	韓国 (KR)	(74) 代理人	110000051
早期審査対象出願			特許業務法人共生国際特許事務所
		(72) 発明者	シン, ウンソン
			大韓民国 17086 京畿道 龍仁市
			器興区 ウォンゴメーロ 12
		(72) 発明者	チョ, ドンヒョ
			大韓民国 17086 京畿道 龍仁市
			器興区 ウォンゴメーロ 12

最終頁に続く

(54) 【発明の名称】 マイクロLEDディスプレイ装置及びその製造方法